

Semiconductor material

Patent Number: ☐ US6172380
Publication date: 2001-01-09
Inventor(s): IKEDA YUJI (JP); NOGUCHI TAKASHI (JP)
Applicant(s): SONY CORP (US)
Requested Patent: JP11145056
Application Number: US19980187224 19981106
Priority Number(s): JP19970305552 19971107
IPC Classification: H01L29/04; H01L31/036
EC Classification: H01L29/04B, H01L29/16
Equivalents: CN1127754B, CN1223460

Abstract

A semiconductor material having more excellent electric characteristics than polycrystalline semiconductor materials and readily formed on various kinds of substrates is provided. The semiconductor material is made of substantially single crystalline semiconductor crystal grains 3a. These crystal grains 3a are preferentially oriented in a common surface orientation, such as {100}, {111} or {110}-orientation, and grain boundaries 3b of adjacent ones of the crystal grains 3a are in substantial lattice matching with each other at least in a part thereof. In case of {100} orientation, each crystal grain 3a has an approximately square shape, and they are regularly aligned in rows and columns. In case of {111} orientation, each crystal grain 3a has an approximately equilateral hexagonal shape, and they are aligned in an equilateral turtle shell pattern. In case of {110} orientation, each crystal grain 3a has an approximately hexagonal shape, and they are aligned in a turtle shell pattern. The semiconductor forming the crystal grains 3a is a group IV semiconductor having a diamond-type crystal structure, such as Si, Ge and C

Data supplied from the esp@cenet database - 12

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-145056

(43) 公開日 平成11年(1999) 5月28日

(51) Int.Cl. ^a	識別記号	F I	
H 0 1 L 21/20		H 0 1 L 21/20	
C 3 0 B 29/04		C 3 0 B 29/04	N
	29/06		A
	29/08		
H 0 1 L 21/205		H 0 1 L 21/205	
審査請求 未請求 請求項の数18 O L (全 8 頁)			

(21) 出願番号 特願平9-305552

(22) 出願日 平成9年(1997)11月7日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 野口 隆

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 池田 裕司

東京都品川区北品川6丁目7番35号 ソニー株式会社内

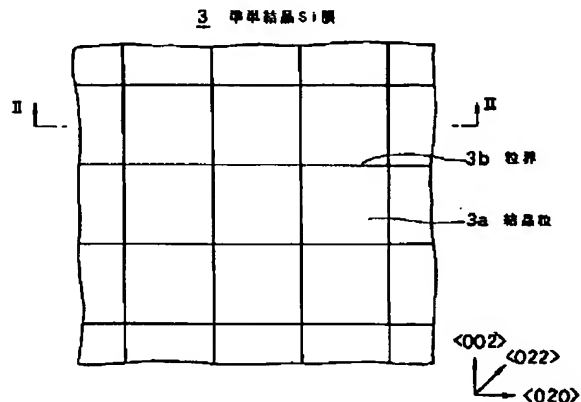
(74) 代理人 弁理士 杉浦 正知

(54) 【発明の名称】 半導体材料

(57) 【要約】

【課題】 多結晶半導体材料に比べて優れた電気的特性を有し、しかも各種の基板上に容易に形成することができる半導体材料を提供する。

【解決手段】 半導体材料は半導体からなるほぼ単結晶の複数の結晶粒3aからなる。これらの結晶粒3aは一面方位、例えば{100}面方位、{111}面方位または{110}面方位に優先配向しており、互いに隣接する結晶粒3aの粒界3bは、少なくともその一部で互いにほぼ格子整合している。{100}面方位の場合、結晶粒3aはほぼ正方形の形状を有し、基盤の目状に配列する。{111}面方位の場合、結晶粒3aはほぼ正六角形状の形状を有し、正亀の甲状に配列する。{110}面方位の場合、結晶粒3aはほぼ六角形状の形状を有し、亀の甲状に配列する。結晶粒3aを構成する半導体は、Si、Ge、Cなどのダイヤモンド型結晶構造を有するIV族半導体などである。



【特許請求の範囲】

【請求項1】 半導体からなるほぼ単結晶の複数の結晶粒からなり、

上記複数の結晶粒は一面方位に優先配向しており、
上記複数の結晶粒のうちの互いに隣接する結晶粒は少なくともその粒界の一部で互いにほぼ格子整合していることを特徴とする半導体材料。

【請求項2】 上記半導体はダイヤモンド型結晶構造を有する共有結合型半導体であることを特徴とする請求項1記載の半導体材料。

【請求項3】 上記複数の結晶粒は{100}面方位に優先配向していることを特徴とする請求項2記載の半導体材料。

【請求項4】 上記複数の結晶粒を一方向から見たとき、それぞれの結晶粒がほぼ正方形の形状を有し、かつ、上記複数の結晶粒が基盤の目状に配列していることを特徴とする請求項3記載の半導体材料。

【請求項5】 上記複数の結晶粒は{111}面方位に優先配向していることを特徴とする請求項2記載の半導体材料。

【請求項6】 上記複数の結晶粒を一方向から見たとき、それぞれの結晶粒がほぼ正六角形の形状を有し、かつ、上記複数の結晶粒が正亀の甲状に配列していることを特徴とする請求項5記載の半導体材料。

【請求項7】 上記複数の結晶粒は{110}面方位に優先配向していることを特徴とする請求項2記載の半導体材料。

【請求項8】 上記複数の結晶粒を一方向から見たとき、それぞれの結晶粒がほぼ六角形の形状を有し、かつ、上記複数の結晶粒が亀の甲状に配列していることを特徴とする請求項7記載の半導体材料。

【請求項9】 上記複数の結晶粒の配向度は20%以上であることを特徴とする請求項1記載の半導体材料。

【請求項10】 上記複数の結晶粒の配向度は30%以上であることを特徴とする請求項1記載の半導体材料。

【請求項11】 上記複数の結晶粒の平均粒径は0.1 μm 以上10 μm 以下であることを特徴とする請求項1記載の半導体材料。

【請求項12】 上記ダイヤモンド型結晶構造を有する共有結合型半導体はIV族半導体であることを特徴とする請求項2記載の半導体材料。

【請求項13】 上記ダイヤモンド型結晶構造を有する共有結合型半導体はSiであることを特徴とする請求項2記載の半導体材料。

【請求項14】 上記ダイヤモンド型結晶構造を有する共有結合型半導体はGeであることを特徴とする請求項2記載の半導体材料。

【請求項15】 上記ダイヤモンド型結晶構造を有する共有結合型半導体はCであることを特徴とする請求項2記載の半導体材料。

【請求項16】 上記ダイヤモンド型結晶構造を有する共有結合型半導体はSiとGeおよびCからなる群より選ばれた少なくとも一種とからなる半導体であることを特徴とする請求項2記載の半導体材料。

【請求項17】 上記ダイヤモンド型結晶構造を有する共有結合型半導体はSiGeであることを特徴とする請求項2記載の半導体材料。

【請求項18】 上記ダイヤモンド型結晶構造を有する共有結合型半導体はSiCであることを特徴とする請求項2記載の半導体材料。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体材料に関し、例えば、絶縁体上に半導体層を形成し、この半導体層を用いて素子を形成する場合に適用して好適なものである。

【0002】

【従来の技術】現在、MOSLSIにおいては、低電源電圧化用途に対応すべく、いわゆるSOI (Silicon on Insulator) 技術の開発が盛んに行われている。そして、これまでに、各種のSOI基板作製法が考えられ、一部実用化までに至っている。現在のSOI基板作製法としては、SIMOX法や張り合わせ法などが一般的であるが、いずれの方法も、シリコン(Si)膜を60nm以下の膜厚に均一に制御することが困難であり、また、基板作製コストが高くつくという問題を有しており、広範な実用化の壁となっている。

【0003】一方、ガラス基板などの各種の基板上にSi結晶薄膜を形成することは、張り合わせ法によれば可能になるが、大面積になるほど膜厚の均一性を確保することが困難になってくる。

【0004】さらに、多結晶Si膜は、ガラス基板などの各種の基板上に容易に形成することができるものの、結晶粒の粒径のばらつき、粒界の存在、結晶粒の方位のランダム性などのため、電気的特性があまり良好でない。

【0005】

【発明が解決しようとする課題】この発明は、従来技術が有する上述のような課題を解決するものである。すなわち、この発明の目的は、多結晶半導体材料に比べて優れた電気的特性を有し、しかも各種の基板上に容易に形成することができる半導体材料を提供することにある。

【0006】

【課題を解決するための手段】上記目的を達成するために、この発明による半導体材料は、半導体からなるほぼ単結晶の複数の結晶粒からなり、複数の結晶粒は一面方位に優先配向しており、複数の結晶粒のうちの互いに隣接する結晶粒は少なくともその粒界の一部で互いにほぼ格子整合していることを特徴とするものである。

【0007】ここで、この発明による半導体材料の結晶

性は、単結晶に準ずるものであることから、本明細書においては、「準単結晶」と呼ぶことにする。

【0008】この発明において、結晶粒を構成する半導体は、典型的には、ダイヤモンド型結晶構造を有する共有結合型半導体である。この場合、典型的には、複数の結晶粒は{100}面方位、{111}面方位または{110}面方位に優先配向している。複数の結晶粒が{100}面方位に優先配向している場合、複数の結晶粒を一方向から見たとき、それぞれの結晶粒はほぼ正方形の形状を有し、かつ、複数の結晶粒は碁盤の目状に配列している。また、複数の結晶粒が{111}面方位に優先配向している場合、複数の結晶粒を一方向から見たとき、それぞれの結晶粒はほぼ正六角形の形状を有し、かつ、複数の結晶粒は正亀の甲状に配列している。また、複数の結晶粒が{110}面方位に優先配向している場合、複数の結晶粒を一方向から見たとき、それぞれの結晶粒はほぼ六角形の形状を有し、かつ、複数の結晶粒は亀の甲状に配列している。

【0009】この発明において、一面方位に優先配向している複数の結晶粒の配向度は、好適には20%以上、より好適には30%以上である。ただし、優先配向している結晶粒には、一面方位に対して $\pm 5^\circ$ 以内にある面方位の結晶粒を含むものとする。

【0010】この発明において、複数の結晶粒の平均粒径は、典型的には、0.1 μm 以上10 μm 以下である。これらの複数の結晶粒の粒径は、好適には、互いにほぼ等しい。

【0011】この発明において、ダイヤモンド型結晶構造を有する共有結合型半導体は、典型的には、IV族半導体であり、具体的には、シリコン(Si)、ゲルマニウム(Ge)、炭素(C)などの元素半導体のほか、SiとGeおよびCからなる群より選ばれた少なくとも一種とからなる半導体、例えばSiGeやSiCなどである。

【0012】この発明において、半導体材料は、典型的には、基板上に薄膜の形で形成される。このようにして形成される準単結晶半導体薄膜の膜厚は、用途にもよるが、例えば10nm~100nmである。

【0013】上述のように構成されたこの発明による半導体材料によれば、複数の結晶粒がほぼ単結晶で、一面方位に優先配向し、かつ、互いに隣接する結晶粒が少なくともその粒界の一部で互いにほぼ格子整合していて粒界における電気的なバリアが少ないことにより、従来の多結晶半導体材料に比べて電気的特性が優れている。また、この半導体材料は、CVD法などの成膜技術、エキシマーレーザなどを用いたレーザアニール技術、固相結晶化技術などを組み合わせることにより、ガラス基板などを含む各種の基板上に、容易に形成することができる。

【0014】

【発明の実施の形態】以下、この発明の実施形態について図面を参照しながら説明する。なお、実施形態の全図において、同一または対応する部分には同一の符号を付す。

【0015】図1および図2はこの発明の第1の実施形態によるSOI構造を示し、図1は平面図、図2は図1のII-II線に沿っての断面図である。

【0016】図1および図2に示すように、この第1の実施形態によるSOI構造においては、Si基板1上に形成されたSiO₂膜2上に準単結晶Si膜3が形成されている。この準単結晶Si膜3は、{100}面方位に優先配向した正形状のほぼ単結晶の結晶粒3aの群が碁盤の目状に二次元的に配列したものからなる。結晶粒3aの四つの側面は{002}面からなる。また、これらの結晶粒3aのうちの互いに隣接する結晶粒3aは、それらの粒界3bの少なくとも一部で互いにほぼ格子整合している。準単結晶Si膜3の膜厚は例えば100nm、結晶粒3aの平均粒径は例えば0.1~10 μm である。

【0017】次に、上述のように構成されたこの第1の実施形態によるSOI構造の形成方法について説明する。

【0018】まず、図3に示すように、Si基板1上に例えばCVD法によりSiO₂膜2を成膜した後、このSiO₂膜2上に例えば減圧CVD法により例えば610°CでSi膜4を成膜する。

【0019】次に、図4に示すように、Si膜4に例えばSiをイオン注入してアモルファス化することによりアモルファスSi膜5を形成する。このSiのイオン注入は例えばエネルギー25keV、ドーズ量 $1.5 \times 10^{15} \text{ cm}^{-2}$ の条件で行う。

【0020】次に、図5に示すように、アモルファスSi膜5上に例えばCVD法によりSiO₂膜6を成膜する。このSiO₂膜6は、後述のパルスレーザビームの照射の際の反射防止膜として用いられる。このSiO₂膜6の膜厚は例えば50nmである。次に、このSiO₂膜6上に例えば減圧CVD法によりSi膜7を成膜した後、このSi膜7上に、図1および図2に示す結晶粒3aの中央部に対応する部分が円形に開口したレジストパターン(図示せず)をリソグラフィにより形成し、このレジストパターンをマスクとしてSi膜7をエッチングすることにより、円形の開口7aを形成する。Si膜7の膜厚は例えば100nm、開口7aの直径は例えば0.8 μm である。

【0021】次に、図6に示すように、例えばエキシマーレーザなどによる紫外域の波長のパルスレーザビーム8をSi膜7側から照射する。このパルスレーザビーム8の照射面上のスポット形状は例えば長方形とし、その幅(W)は40 μm 以上約1mm以下、例えば400 μm 、長さは任意であるが例えば150mmとする。この

パルスレーザビーム8の照射は、具体的には、例えば次のようにして行う。すなわち、例えば、パルスレーザビーム8の照射方向を固定し、このパルスレーザビーム8に対してSi基板1をパルスレーザビーム8のスポットの幅方向に移動させながら、パルスレーザビーム8の照射を繰り返し行う。この場合の移動方向は、例えば、図1および図2に示す結晶粒3aの辺に平行にする。このとき、連続する2回の照射の間でSi基板1の移動量Lが40μm以下、好適には4μm以下（例えば、4μm）になり、かつ、パルスレーザビーム8のスポットの幅Wに対する移動量Lの比L/Wが0.1~5%、好適には0.5~2.5%（例えば、1%）になるようにする。ここで、L/Wが0.1~5%であることは連続する2回の照射の間でのパルスレーザビーム8のオーバーラップが99.9~95%であることを意味し、L/Wが0.5~2.5%であることは連続する2回の照射の間でのパルスレーザビーム8のオーバーラップが99.5~97.5%であることを意味する。また、パルスレーザビーム8としては、具体的には、例えば、XeClエキシマーレーザによる波長308nmのパルスレーザビームを用いる。このパルスレーザビーム8の照射エネルギー密度は例えば320mJ/cm²、パルス幅は約26ns、周波数は約200Hzである。

【0022】この場合、Si膜7に照射されたパルスレーザビーム8は、このSi膜7で吸収される。すなわち、Si膜7がパルスレーザビーム8に対してマスクとして働く。この結果、開口7aを通ったパルスレーザビーム8だけがアモルファスSi膜5に照射されてこの部分のアモルファスSi膜5が高温に加熱される。これによって、開口7aの下側の部分のアモルファスSi膜5が熔融再結晶化する。符号9はこのようにして形成された再結晶化領域を示す。

【0023】次に、Si膜7をエッチング除去した後、例えばアニール炉において例えば600℃で5~20時間アニールすることにより、再結晶化領域9を種結晶としてアモルファスSi膜5を固相結晶化させる。これによって、図7に示すように、再結晶化領域9のあった所を中心として正方形のほぼ単結晶の結晶粒3aが成長し、準単結晶Si膜3が形成される。

【0024】この後、SiO₂膜6をエッチング除去する。これによって、図1および図2に示すように、目的とするSOI構造が形成される。

【0025】なお、パルスレーザビームの照射によるレーザアニールやその後の固相結晶化などの技術については、Proceedings of the 44th symposium on semiconductors and integrated circuits technology, p.187(1993)およびMaterials Letters27(1996)275-279に関連する記載がある。また、特願平9-64036号および特願平9-88728号には、従来不可能であった{100}面方位の正方形の単結晶の結晶粒を規則的に基盤の

目状に配列させる技術が提案されている。

【0026】図8は、この第1の実施形態による方法でSOI構造を形成し、その準単結晶Si膜3の結晶粒3aの粒径分布（面積分布で代用した）を調べた結果を示す。ただし、連続する2回の照射間のパルスレーザビーム8のオーバーラップは99%とした。一方、比較のために、従来の減圧CVD法により成膜された多結晶Si膜の結晶粒の粒径分布（面積分布で代用した）を調べた結果を図9に示す。ただし、連続する2回の照射間のパルスレーザビーム8のオーバーラップは90%とした。図8および図9において、nは結晶粒の総数、N_iは結晶粒の面積の平均、σは標準偏差である。結晶粒の平均粒径を〈L〉、結晶粒の面積をSとすると、〈L〉~S^{1/2}である。

【0027】図8および図9を比較すると、従来の多結晶Si膜の結晶粒に比べて、この第1の実施形態による方法で形成されたSOI構造の準単結晶Si膜3の結晶粒3aの粒径は、かなり大きく、かつ、より均一であることがわかる。

【0028】以上のように、この第1の実施形態によれば、SiO₂膜2上に形成された準単結晶Si膜3は、{111}面方位に優先配向したほぼ単結晶の結晶粒3aの群からなり、互いに隣接する結晶粒3aが粒界3bの少なくとも一部で互いに格子整合しており、しかも結晶粒3aの粒径が従来の多結晶Si膜に比べて大きくかつ均一であることにより、従来の多結晶Si膜に比べて電気的特性に優れたものである。このため、バルク単結晶Siに匹敵する良質のSOI構造を実現することができる。そして、このSOI構造を例えば薄膜トランジスタ(TFT)の形成に用いることにより、バルク単結晶Siを用いたMOSFETに匹敵する高性能のTFTを実現することが可能となる。

【0029】図10はこの発明の第2の実施形態によるSOI構造を示す。図10に示すように、この第2の実施形態によるSOI構造においては、準単結晶Si膜3は、{111}面方位に優先配向した正六角形状のほぼ単結晶の結晶粒3aの群が正亀の甲状に二次元的に配列したものからなる。結晶粒3aの六つの側面は{202}面からなる。その他のことは、第1の実施形態によるSOI構造と同様である。

【0030】また、この第2の実施形態によるSOI構造の形成方法は、第1の実施形態によるSOI構造の形成方法と同様である。

【0031】この第2の実施形態によれば、第1の実施形態と同様な利点を得ることができる。

【0032】図11はこの発明の第3の実施形態によるSOI構造を示す。図11に示すように、この第3の実施形態によるSOI構造においては、準単結晶Si膜3は、{100}面方位に優先配向したほぼ単結晶の結晶粒3aの群が二次元的に配列したものからなる。この場

合、結晶粒3aは、四つの角が切除された正方形、言い換えれば八角形状の形状を有する。また、四つの結晶粒3aに囲まれた部分には、この結晶粒3aに比べて小さい正方形の単結晶の結晶粒3cが存在する。結晶粒3aの四つの角部を除く四つの側面は{002}面からなり、四つの角部の側面は{022}面からなる。また、これらの結晶粒3a、3cのうちの互いに隣接する結晶粒3a、3cは、それらの粒界3bの少なくとも一部で互いにはば格子整合している。その他のことは、第1の実施形態によるSOI構造と同様である。

【0033】また、この第3の実施形態によるSOI構造の形成方法も、第1の実施形態によるSOI構造の形成方法と同様である。

【0034】この第3の実施形態によっても、第1の実施形態と同様な利点を得ることができる。

【0035】図12はこの発明の第4の実施形態によるSOI構造を示す。図12に示すように、この第4の実施形態によるSOI構造においては、準単結晶Si膜3は、{110}面方位に優先配向した六角形状のほぼ単結晶の結晶粒3aの群が亀の甲状に二次元的に配列したものからなる。結晶粒3aの六つの側面は{200}面および{111}面からなる。その他のことは、第1の実施形態によるSOI構造と同様である。

【0036】また、この第4の実施形態によるSOI構造の形成方法も、第1の実施形態によるSOI構造の形成方法と同様である。

【0037】この第4の実施形態によっても、第1の実施形態と同様な利点を得ることができる。

【0038】以上、この発明の実施形態について具体的に説明したが、この発明は、上述の実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

【0039】例えば、上述の第1、第2、第3および第4の実施形態において挙げた数値、材料、構造、プロセスなどは、あくまでも例に過ぎず、必要に応じて、これと異なる数値、材料、構造、プロセスなどを用いてもよい。

【0040】また、上述の第1、第2、第3および第4の実施形態においては、パルスレーザービーム8としてXeClエキシマーレーザーによるパルスレーザービームを用いているが、パルスレーザービーム8としては、必要に応じて、XeClエキシマーレーザー以外のエキシマーレー

ザによるパルスレーザービームを用いてもよいし、エキシマーレーザー以外のレーザー、例えば全固体紫外レーザーによるパルスレーザービームを用いてもよい。

【0041】

【発明の効果】以上述べたように、この発明による半導体材料によれば、半導体からなるほぼ単結晶の複数の結晶粒からなり、複数の結晶粒は一面方位に優先配向しており、複数の結晶粒のうちの互いに隣接する結晶粒は少なくともその粒界の一部で互いにはば格子整合していることにより、多結晶半導体材料に比べて優れた電気的特性を有し、しかも各種の基板上に容易に形成することができる。

【図面の簡単な説明】

【図1】この発明の第1の実施形態によるSOI構造を示す平面図である。

【図2】図1のII-II線に沿った断面図である。

【図3】この発明の第1の実施形態によるSOI構造の形成方法を説明するための断面図である。

【図4】この発明の第1の実施形態によるSOI構造の形成方法を説明するための断面図である。

【図5】この発明の第1の実施形態によるSOI構造の形成方法を説明するための断面図である。

【図6】この発明の第1の実施形態によるSOI構造の形成方法を説明するための断面図である。

【図7】この発明の第1の実施形態によるSOI構造の形成方法を説明するための断面図である。

【図8】この発明の第1の実施形態による方法により形成されたSOI構造の準単結晶Si膜の結晶粒の粒径分布の測定結果を示す略線図である。

【図9】従来の多結晶Si膜の結晶粒の粒径分布の測定結果を示す略線図である。

【図10】この発明の第2の実施形態によるSOI構造を示す平面図である。

【図11】この発明の第3の実施形態によるSOI構造を示す平面図である。

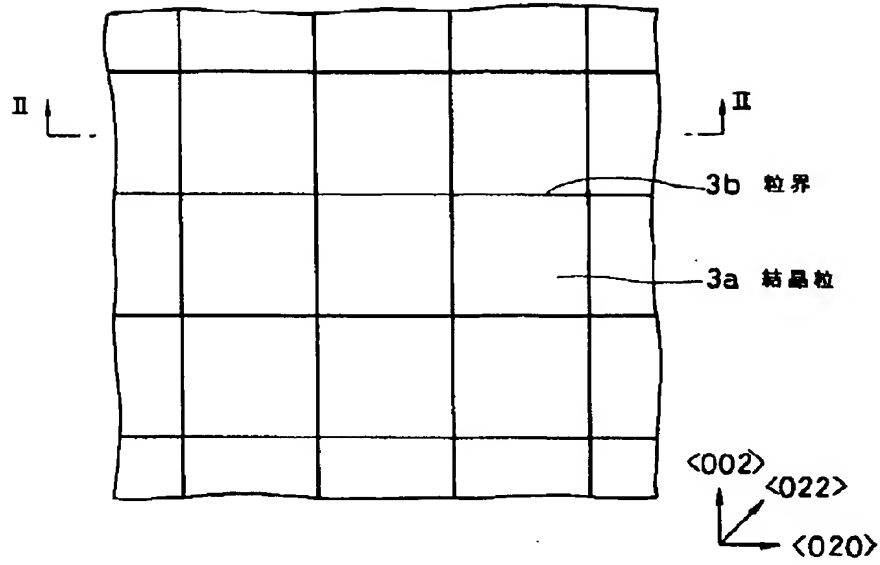
【図12】この発明の第4の実施形態によるSOI構造を示す平面図である。

【符号の説明】

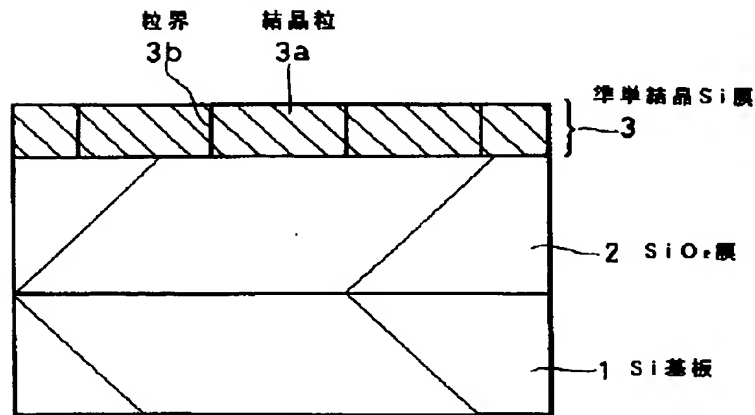
1・・・Si基板、2、6・・・SiO₂膜、3・・・準単結晶Si膜、3a・・・結晶粒、3b・・・粒界、4、7・・・Si膜、5・・・アモルファスSi膜、8・・・パルスレーザービーム

【図1】

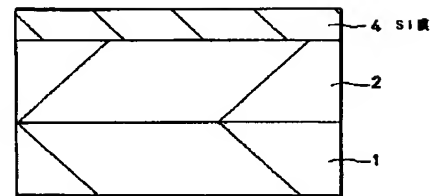
3 準単結晶Si膜



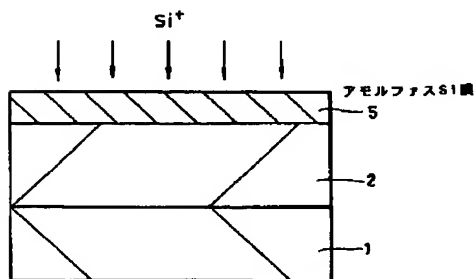
【図2】



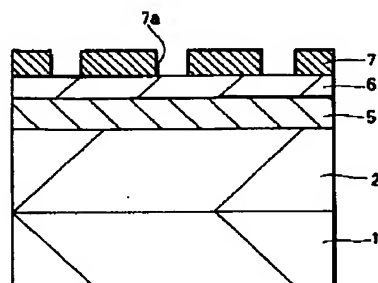
【図3】



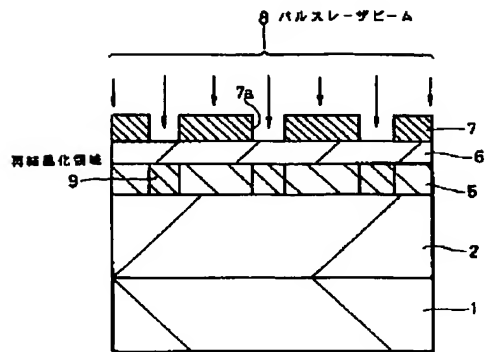
【図4】



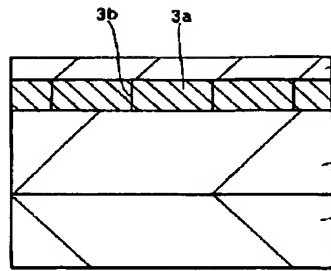
【図5】



【図6】

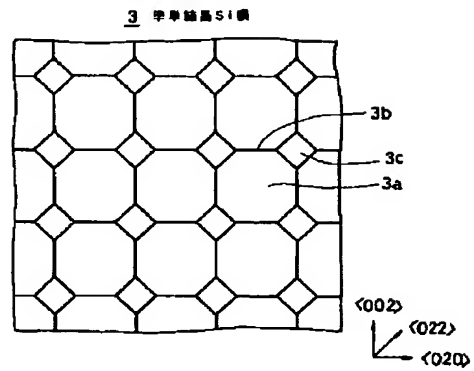
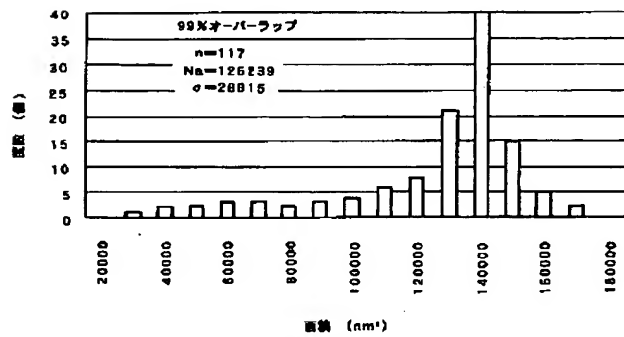


【図7】

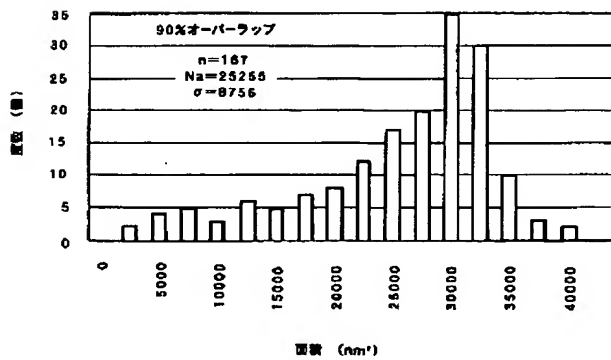


【図11】

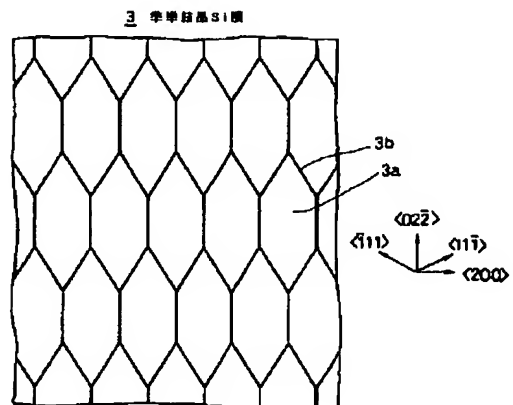
【図8】



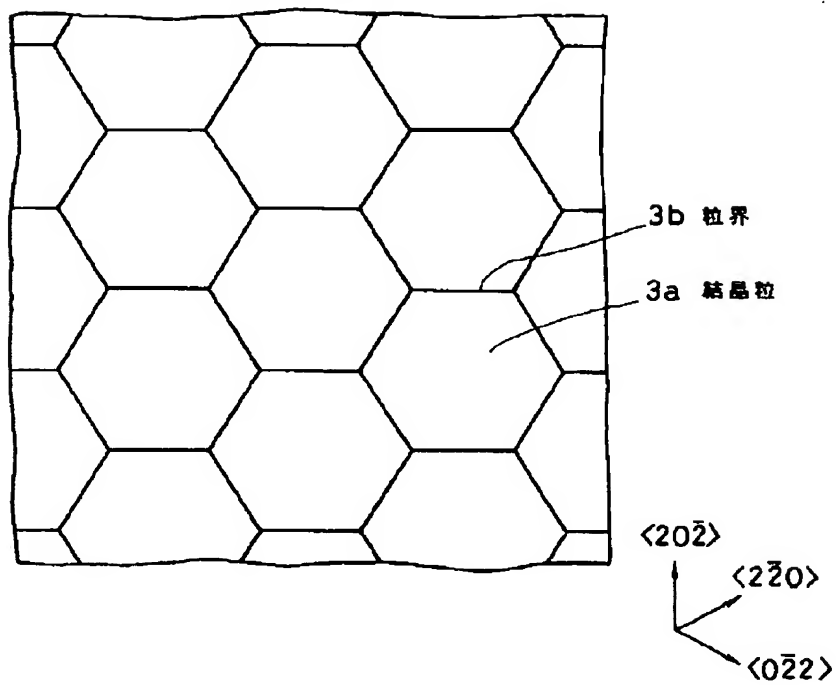
【図9】



【図12】



【図10】

3 準半結晶Si膜

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 11 年（1999）11 月 30 日

【公開番号】特開平 11-145056
 【公開日】平成 11 年（1999）5 月 28 日
 【年通号数】公開特許公報 11-1451
 【出願番号】特願平 9-305552
 【国際特許分類第 6 版】

H01L 21/20

C30B 29/04

29/06

29/08

H01L 21/205

【F I】

H01L 21/20

C30B 29/04 N

29/06 A

29/08

H01L 21/205

【手続補正書】

【提出日】平成 11 年 4 月 2 日

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】変更

【補正内容】

【0028】以上のように、この第 1 の実施形態によれば、 SiO_2 膜 2 上に形成された準単結晶 Si 膜 3 は、
 {100} 面方位に優先配向したほぼ単結晶の結晶粒 3 a の群からなり、互いに隣接する結晶粒 3 a が粒界 3 b

の少なくとも一部で互いに格子整合しており、しかも結晶粒 3 a の粒径が従来の多結晶 Si 膜に比べて大きくかつ均一であることにより、従来の多結晶 Si 膜に比べて電気的特性に優れたものである。このため、バルク単結晶 Si に匹敵する良質の SOI 構造を実現することができる。そして、この SOI 構造を例えば薄膜トランジスタ (TFT) の形成に用いることにより、バルク単結晶 Si を用いた MOSFET に匹敵する高性能の TFT を実現することが可能となる。